

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-032633

(43)Date of publication of application : 02.02.1996

(51)Int.Cl.

H04L 27/00

H03M 13/12

H04L 25/08

H04L 27/34

(21)Application number : 06-168151

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 20.07.1994

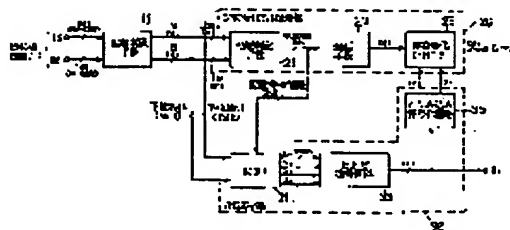
(72)Inventor : OKITA SHIGERU

(54) TRELLIS DECODER

(57)Abstract:

PURPOSE: To provide a trellis decoder where the number of the bits of input signals and the number of the bits of output, which are required for branch metric calculation, can be reduced, and a circuit scale can be reduced.

CONSTITUTION: An area judgement means 21 which outputs area information corresponding to the group of prescribed symbols specified by demodulation data among a symbol group which is set by prescribed bit arrangement, and which makes a part of bits in area information correspond to arrangement pattern information match 5 with the arrangement pattern of the group of the symbols, an amplitude restriction means 11 restricting the amplitude of demodulation data and a branch metric calculation means 31 executing branch metric calculation in vitervi decoding by using a part of amplitude restriction demodulation data whose amplitude is restricted by the amplitude restriction means 11 and by using arrangement pattern information are provided.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平 8 - 3 2 6 3 3

(43)公開日 平成 8 年 (1 9 9 6) 2 月 2 日

(51)Int.Cl.	識別記号	庁内整理番号	F I	技術表示箇所
H04L 27/00				
H03M 13/12		8730-5K		
H04L 25/08		B 9199-5K		
27/34				
		9297-5K	H04L 27/00	B
審査請求 未請求 請求項の数 6 O L (全 1 2 頁) 最終頁に続く				

(21)出願番号 特願平 6 - 1 6 8 1 5 1

(22)出願日 平成 6 年 (1 9 9 4) 7 月 2 0 日

(71)出願人 0 0 0 0 3 0 7 8

株式会社東芝

神奈川県川崎市幸区堀川町 7 2 番地

(72)発明者 沖田 茂

神奈川県横浜市磯子区新杉田町 8 番地 株

式会社東芝マルチメディア技術研究所内

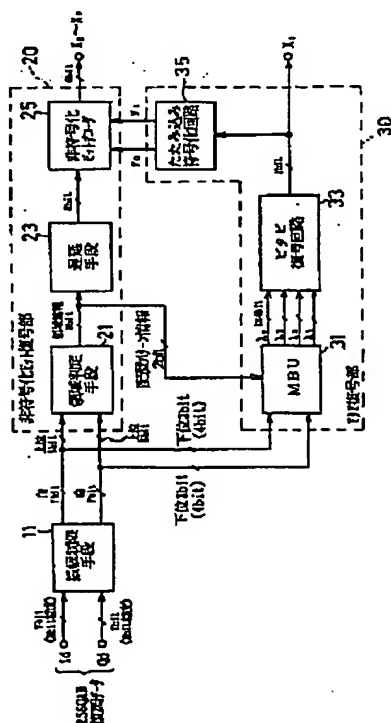
(74)代理人 弁理士 三好 秀和 (外 3 名)

(54)【発明の名称】トレリス復号器

(57)【要約】

【目的】 本発明は、ブランチメトリックの演算に必要な入力信号のビット数と出力のビット数を削減し、回路規模を縮小することのできるトレリス復号器を提供することを目的とする。

【構成】 本発明のトレリス復号器は、所定のビット配置で設定されるシンボル群の中から前配復調データによって特定される所定のシンボルの組に対応する領域情報を出力し、かつこの領域情報の一部のビットは当該シンボルの組の配置パターンに一致させた配置パターン情報と対応づけて成る領域判定手段と、前配復調データに対して振幅制限を施す振幅制限手段と、この振幅制限手段により振幅制限が施された振幅制限復調データの一部と前配配置パターン情報を用いて前配ビタビ復号におけるブランチメトリックを演算するブランチメトリック演算手段とを備えて構成される。



1

【特許請求の範囲】

【請求項 1】 送信側で複数ビットで構成される情報シンボルに対して、その一部の所定ビットをたたみ込み符号化して符号化ビットとし、その残りのビットを非符号化ビットとして前記符号化ビットと組にしてトレリス符号化変調されたものを、受信側で復調し、軟判定して得られた復調データを基にビタビ復号した符号化ビットを用いて非符号化ビットを復号するトレリス復号器であって、

所定のビット配置で設定されるシンボル群の内から前記復調データによって特定される所定のシンボルの組に対応し、かつ当該シンボルの組の配置パターンに係る配置パターン情報と対応付けられたビットを含む領域情報を出力する領域判定手段と、

前記復調データに対して振幅制限を施す振幅制限手段と、

この振幅制限手段により振幅制限が施された振幅制限復調データの一部と前記領域判定手段から出力される領域情報から判別される配置パターン情報とを用いて前記ビタビ復号におけるブランチメトリックを演算するブランチメトリック演算手段とを有することを特徴とするトレリス復号器。

【請求項 2】 送信側で複数ビットで構成される情報シンボルに対して、その一部の所定ビットをたたみ込み符号化して符号化ビットとし、その残りのビットを非符号化ビットとして前記符号化ビットと組にしてトレリス符号化変調されたものを、受信側で復調し、軟判定して得られた復調データを基にビタビ復号した符号化ビットを用いて非符号化ビットを復号するトレリス復号器であって、

所定のビット配置で設定されるシンボル群の内から前記復調データによって特定される所定のシンボルの組を検出して代表シンボルの組データとして出力する代表シンボル検出手段と、

この代表シンボル検出手段から出力される前記代表シンボルの組データから前記所定のシンボルの組の配置パターンに係る配置パターン情報を検出して出力する配置パターン検出手段と、

前記復調データに対して振幅制限を施す振幅制限手段と、

この振幅制限手段により振幅制限が施された振幅復調データの一部と前記配置パターン情報を用いて前記ビタビ復号におけるブランチメトリックを演算するブランチメトリック演算手段とを有することを特徴とするトレリス復号器。

【請求項 3】 送信側で複数ビットで構成される情報シンボルに対して、その一部の所定ビットをたたみ込み符号化して符号化ビットとし、その残りのビットを非符号化ビットとして前記符号化ビットと組にしてトレリス符号化変調されたものを、受信側で復調し、軟判定して得

2

られた復調データを基にビタビ復号した符号化ビットを用いて非符号化ビットを復号するトレリス復号器であって、

前記復調データに対して振幅制限を施す振幅制限手段と、

この振幅制限手段により振幅制限が施された振幅制限復調データの一部である第 1 の振幅制限復調データから、所定のビット配置で設定されるシンボル群の内から前記復調データによって特定される所定のシンボルの組の配置パターンに係る配置パターン情報を検出して出力する配置パターン検出手段と、

前記振幅制限復調データの一部である第 2 の振幅制限復調データと前記配置パターン情報とを用いて前記ビタビ復号におけるブランチメトリックを演算するブランチメトリック演算手段とを有することを特徴とするトレリス復号器。

【請求項 4】 前記ブランチメトリック演算手段は、前記ブランチメトリックが所定値を越えるとき当該出力値を前記所定値に制限する非線形処理を施す非線形処理手段を有することを特徴とする請求項 1 又は 2 又は 3 記載のトレリス復号器。

【請求項 5】 前記振幅制限手段は、 I/Q 軸のそれぞれに投影した前記振幅制限の範囲を 2° の倍数として、 2° 個のサンプル間隔で前記配置パターン情報を対応づけることを特徴とする請求項 1 又は 2 又は 3 又は 4 記載のトレリス復号器。

【請求項 6】 複数の QAM 復調器を具備するときに、前記ブランチメトリック演算手段はそれぞれの QAM 復調器に対して共有されることを特徴とする請求項 1 又は 2 又は 3 又は 4 又は 5 記載のトレリス復号器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、トレリス符号化変調方式におけるトレリス復号器に関するものである。

【0002】

【従来の技術】近年、放送及び通信等の分野では、限られた周波数帯域で符号化利得を得る符号化の方法としてトレリス符号化変調方式が用いられる。このトレリス符号化変調方式の手法と効果については、たとえば文献 G. Ungerboeck 著「Trellis-Coded Modulation with Redundant Signal Sets Part I: Introduction」及び同著「Trellis-Coded Modulation With Redundant Signal Sets Part II: State of the Art」、IEEE Communications Magazine, 1987-Vol. 25, No. 2、あるいは A. J. Viterbi, J. K. Wolf, E. Zehavi, R. Padovani, 著「A Pragmatic Approach to Trellis-Coded Modulation」、IEEE Communications Magazine, Vol. 27, pp. 11-19, Jul. 1989 に述べられている。

【0003】以下、この変調方式について簡単に説明する。例えば、変調方式が 256 QAM (Quadrature Amplitude Modulation; 直交振幅変調) の場合のトレリス符

10

20

30

40

50

号化器の構成例を図 1 7 に示す。図 1 7 を参照するに、情報シンボル ($x_1 \sim x_7$) の 7 ビットを非符号化ビット (6 ビット) と、1 ビットをたたみ込み符号化器 1 0 1 により拡大した符号化ビット (2 ビット) をトレリス符号化シンボル 8 ビットとし、これを信号配置分配器 1 0 3 により I 軸/Q 軸の配置に対応した 5 ビットの送信側の変調データ I_e / Q_e に変換し、変調して送出する。トレリス符号化変調方式はこの変調シンボルの配置の仕方に特徴がある。

【 0 0 0 4 】 図 1 7 に示すトレリス符号化器は、その構成から、トレリス符号化シンボルの 8 ビットのうち下位 2 ビットの符号化ビットの方がたたみ込み符号化により符号間距離を大きく確保することができるものである。また上位の 6 ビットについては、変調シンボルの配置により符号間距離を確保してバランスをとるようにする。

【 0 0 0 5 】 図 5 に Q A M 変調方式によるトレリス符号化変調方式 (Q A M - T C M (Trellis-Coded Modulation)) の変調シンボル配置を示す。これは、前記文献の

「A Pragmatic Approach to Trellis-Coded Modulation」を Q A M に応用したものである。図 5 において、例

えば○のシンボルは下位 2 ビットが“0 0”のシンボルであり、△は“1 0”のシンボルであり、□は“0 1”のシンボルであり、●は“1 1”のシンボルである。このように、符号化ビットが共通のシンボルの集合をサブセットと呼ぶ。これらのシンボルを図 5 に示すように配置することにより、上位の非符号化ビットのみ異なるシンボルについては、変調シンボル配置上での距離を最大化し、総合の符号間距離をとることが可能となる。これが、トレリス符号化変調方式の基本原理である。

【 0 0 0 6 】 なお、図 2 に上位の非符号化ビット (6 ビット) の配置例を示す。図は下位 2 ビットが“0 0”の○のシンボルについてのみ示してある。他のサブセットについても同様である。

【 0 0 0 7 】 次に、前記 2 5 6 Q A M - T C M の場合について復号方法を説明する。図 1 6 に従来のトレリス復号器の構成を示す。このトレリス復号器は、非符号化ビット復号部 2 0 とビタビ復号部 3 0 からなり、また非符号化ビット復号部 2 0 は代表シンボル検出手段 2 7、遅延回路 2 8 及び非符号化ビット選択手段 2 9 で構成され、ビタビ復号部 3 0 は B M U 3 1、ビタビ復号回路 3 3 及びたたみ込み符号化回路 3 5 で構成される。

【 0 0 0 8 】 このような構成で、復調した受信シンボルの I / Q 軸上の配置に対応した 2 5 6 Q A M 復調データ I_d / Q_d を入力とし (I_d / Q_d 、受信側の軟判定復調データ)、トレリス復号シンボル ($x_1 \dots x_7$) を出力する。各軸における配置の判定において、受信シンボルは軟判定される (図 3 を参照)。この図 3 の場合、各変調シンボル間を各軸において 8 つに分割しており (図 3 (a) では I / Q 軸共、4 から 1 2 までの 8 区間)、最低 7 × 2 bit の表現を必要とする。この軟判定された

復調データの 1 4 ビットよりビタビ復号部 3 0 の B M U (branch metric unit) 3 1 によりビタビ復号のための 4 つのブランチメトリックを計算し、それらを用いてビタビ復号回路 3 3 により情報ビット (x_1) を得る。

尚、通常、ビタビ復号回路には B M U が含まれるが、本明細書においては別個のものとする。

【 0 0 0 9 】 次に、トレリス復号の原理について説明する。まず、図 3 (a) に示すように各サブセットについて硬判定して、復号シンボルの候補 (代表シンボル) を検出する。つまり、トレリス符号化シンボル ($y_1 \dots y_7$) のうち、下位の 2 ビットについてはビタビ復号されるまで決定できないので、(y_1, y_2) = (0 0) ~ (1 1) の各々について、($x_1 \dots x_6, y_1, y_2$) を予め検出しておく。

【 0 0 1 0 】 例えば、図 3 において、受信シンボル●に対し、(y_1, y_2) = (0 0) のサブセット、すなわち○については (0 0 1 0 0 1 0 0) のシンボルが、同様にして、□については (0 0 0 0 0 1 0 1)、△については (0 0 1 0 0 0 1 0)、●については (0 0 0 0 0 0 1 1) の各シンボルが各サブセットの代表シンボルとなる。なお、代表シンボルの検出は上位 6 ビットのみでよい (下位の 2 ビットはビタビ復号後に決定できる)。したがって、代表シンボルの出力ビット数は、6 × 4 = 2 4 ビットとなる。

【 0 0 1 1 】 ビタビ復号に必要なブランチメトリックは各代表シンボルと受信シンボルとの距離 (ユークリッド距離) に基づいて決定する。図 3 に示すように (y_1, y_2) = (0 0) ~ (1 1) に対応するブランチメトリック $\lambda_0, \lambda_1, \lambda_2, \lambda_3$ をそれぞれ B s ビットで表現する。

【 0 0 1 2 】 ブランチメトリックの計算は、例えば軟判定後の受信シンボルが図 3 (a) に示す位置にあるとき、図 3 (b) に示すようになる。ここで、各数字は●のシンボルから各受信位置における受信シンボルまでのユークリッド距離の 2 乗 (つまり図 3 (a) に示す λ_1) を表す。前記受信シンボルに対しては、 $\lambda_1 = 7^2 (= 0 1 0 0 1 0 0 0)$ である。また、ブランチメトリックの取り得る値の範囲は 0 ~ 1 2 8 であり、このままだと表現に 8 ビットを要する。しかしながら、ある程度までビット打ち切りにより演算精度を下げて、B E R 特性はほとんど劣化しないことが知られており、上位 4 ビットで打ち切ったときのブランチメトリックのテーブルは図 4 のようになる。この場合、B s = 4 である。

【 0 0 1 3 】 これらを用いて、図 1 6 に示したビタビ復号回路では、たたみ込み符号化の構成から決まる、N s 個の可能な伝送系列 (パス) に対応した誤差を累積してパスメトリックとし、これに基づいてパスの選択が行われて M s 段のパスメモリに記憶される。記憶された N s 個のパスのうち、最も確からしいパス (最尤パス) の、最過去のビットがビタビ復号ビットとして出力される。

このようにして、情報ビット (x_i) は、誤り訂正されながら再生され、これをたたみ込み符号化すれば符号化ビット (y_i, y_e) を再生することができる。Ms は通常拘束長の 4 ~ 6 倍の値が選ばれており、たたみ込み符号化の状態数 $N_s = 64$ のとき $M_s = 30 \sim 40$ である。つまり、ここで説明した従来例のビタビ復号では、ひとつの (x_i) の復号に、30 ~ 40 個の受信シンボルを用いることになる。

【0014】また、図 16 に示すトレリス復号器で復号された符号化ビット (y_i, y_e) は、誤り訂正の効果を含んでおり、これらを用いて非符号化ビット ($y_i \cdots y_e$) = ($x_i \cdots x_e$) を復号する。ここで検出された各代表シンボルは、ビタビ復号回路 33 でビタビ復号にかかる時間分だけ遅延するため、Ms 段のシフトレジスタに入力される。このようにして復号再生された (y_i, y_e) に対応する ($y_i \cdots y_e$) が選択され、トレリス復号シンボルの上位 6 ビットが決定される。

【0015】例えば、図 3 の例で、Ms 段シフトレジスタの出力が (001001)、(000001)、(001000)、(000000) であるとき、(y_i, y_e) = (01) ならば、($y_i \cdots y_e$) = ($x_i \cdots x_e$) = (000001) である。即ち、図 3 で対応する変調シンボルは (00000101) である。図 3 で 256 QAM の硬判定を行うと (00100100) となるのだが、下位 2 ビットについて、その前後の受信系列との繋がりから、実は (00000101) の方が正しいと誤り訂正される。

【0016】なお、図 16 における代表シンボルの検出は、256 QAM 復調データの復調精度によって決まる。例えば、I/Q 各軸共に 8 ビットの精度が必要である。ところで、QAM の場合は変調シンボルが格子状に配置されるため上位の何ビットかが、代表シンボルを決定する。例えば 256 QAM は I/Q 各軸上位の 5 ビットのみで代表シンボルの検出は可能である。

【0017】一方、BMU におけるブランチメトリックは、軟判定のレベル (すなわち量子化レベル) が高ければ高い程、ビタビ復号の精度は向上するのだが、I/Q 各軸 7 ビットで十分だったとする。すると、トレリス復号は、I/Q 各軸が 8 ビット精度の 7 ビットの復調データで可能となり、8 ビットのうちの LSB の 1 ビットは用いなくても良い。

【0018】

【発明が解決しようとする課題】しかしながら、BMU を、例えば ROM で構成しようすると、入力アドレス $7 \times 2 = 14 \text{ bit}$ あるいは $8 \text{ bit} \times 2 = 16 \text{ bit}$ で、出力 $4 \times 4 = 16 \text{ bit}$ の構成となる。これは $2^{14} \times 16 = 256 \text{ Kbit}$ あるいは $2^{16} \times 16 = 1000 \text{ Kbit}$ ($1 \text{ K} = 1024$) の膨大なメモリを必要とすることになる。このように大規模の ROM をトレリス復号 LSI として内蔵して 1 チップ化するには、コスト上、非常に不

利である。

【0019】本発明は、上記課題に鑑みてなされたもので、ブランチメトリックの演算に必要な入力信号のビット数と出力のビット数を削減し、回路規模を縮小することのできるトレリス復号器を提供することを目的とする。

【0020】

【課題を解決するための手段】上記目的を達成するため本願第 1 の発明は、送信側で複数ビットで構成される情報シンボルに対して、その一部の所定ビットをたたみ込み符号化して符号化ビットとし、その残りのビットを非符号化ビットとして前記符号化ビットと組にしてトレリス符号化変調されたものを、受信側で復調し、軟判定して得られた復調データを基にビタビ復号した符号化ビットを用いて非符号化ビットを復号するトレリス復号器であって、所定のビット配置で設定されるシンボル群の中から前記復調データによって特定される所定のシンボルの組に対応し、かつ当該シンボルの組の配置パターンに係る配置パターン情報と対応付けられたビットを含む領域情報を出力する領域判定手段と、前記復調データに対して振幅制限を施す振幅制限手段と、この振幅制限手段により振幅制限が施された振幅制限復調データの一部と前記領域判定手段から出力される領域情報から判別される配置パターン情報とを用いて前記ビタビ復号におけるブランチメトリックを演算するブランチメトリック演算手段とを有することを要旨とする。

【0021】望ましくは、送信側で複数ビットで構成される情報シンボルに対して、その一部の所定ビット数をたたみ込み符号化して 2 ビットの符号化ビットとし、その残りのビットを非符号化ビットとして前記符号化ビットと組にしてトレリス符号化変調されたものを、受信側で復調し、軟判定して得られた受信シンボルに対応する復調データを基に、ビタビ復号部によりビタビ復号した符号化ビットを用いて非符号化ビットを復号する非符号化ビット復号部を有するトレリス復号器において、前記所定のビット配置で設定されるシンボル群、すなわちサブセットの内から前記受信シンボルによって特定されるシンボル、すなわちサブセットの代表シンボルの組に対応する領域情報を出力する領域判定手段と、前記軟判定して得られた復調データに対して振幅制限を施す振幅制限手段と、この振幅制限手段により振幅制限が施されたデータの一部と、前記領域判定手段の出力の一部を用いて (配置パターン情報)、前記ビタビ復号におけるブランチメトリックを演算するブランチメトリック演算手段を有すると良い。

【0022】本願第 2 の発明は、送信側で複数ビットで構成される情報シンボルに対して、その一部の所定ビットをたたみ込み符号化して符号化ビットとし、その残りのビットを非符号化ビットとして前記符号化ビットと組にしてトレリス符号化変調されたものを、受信側で復調

し、軟判定して得られた復調データを基にビタビ復号した符号化ビットを用いて非符号化ビットを復号するトレリス復号器であって、所定のビット配置で設定されるシンボル群の中から前記復調データによって特定される所定のシンボルの組を検出して代表シンボルの組データとして出力する代表シンボル検出手段と、この代表シンボル検出手段から出力される前記代表シンボルの組データから前記所定のシンボルの組の配置パターンに係る配置パターン情報を検出して出力する配置パターン検出手段と、前記復調データに対して振幅制限を施す振幅制限手段と、この振幅制限手段により振幅制限が施された振幅復調データの一部と前記配置パターン情報を用いて前記ビタビ復号におけるブランチメトリックを演算するブランチメトリック演算手段とを有することを要旨とする。

【 0 0 2 3 】望ましくは、前記トレリス復号器において、所定のビット配置で設定されるシンボル群、すなわちサブセットの中から前記受信シンボルによって特定されるシンボル、すなわち代表シンボルの組を検出して出力する代表シンボル検出手段と、前記代表シンボル組データから配置パターン情報を出力する配置パターン検出手段と、前記軟判定して得られた受信シンボルに対して振幅制限を施す振幅制限手段と、この振幅制限手段により振幅制限が施されたデータの一部と、前記配置パターン情報とから、前記ビタビ復号におけるブランチメトリックを演算するブランチメトリック演算手段を有すると良い。

【 0 0 2 4 】本願第 3 の発明は、送信側で複数ビットで構成される情報シンボルに対して、その一部の所定ビットをたたみ込み符号化して符号化ビットとし、その残りのビットを非符号化ビットとして前記符号化ビットと組にしてトレリス符号化変調されたものを、受信側で復調し、軟判定して得られた復調データを基にビタビ復号した符号化ビットを用いて非符号化ビットを復号するトレリス復号器であって、前記復調データに対して振幅制限を施す振幅制限手段と、この振幅制限手段により振幅制限が施された振幅制限復調データの一部である第 1 の振幅制限復調データから、所定のビット配置で設定されるシンボル群の中から前記復調データによって特定される所定のシンボルの組の配置パターンに係る配置パターン情報を検出して出力する配置パターン検出手段と、前記振幅制限復調データの一部である第 2 の振幅制限復調データと前記配置パターン情報とを用いて前記ビタビ復号におけるブランチメトリックを演算するブランチメトリック演算手段とを有することを要旨とする。

【 0 0 2 5 】本願第 4 の発明は、前記請求項 1 又は 2 又は 3 記載のブランチメトリック演算手段が、ブランチメトリックが所定値を越えるとき当該出力値を前記所定値に制限する非線形処理を施す非線形処理手段を有することを要旨とする。

【 0 0 2 6 】本願第 5 の発明は、前記請求項 1 又は 2 又

は 3 又は 4 記載の振幅制限手段が、 I/Q 軸のそれぞれに投影した前記振幅制限の範囲を 2^n の倍数として、 2^n 個のサンプル間隔で前記配置パターン情報を対応づけることを要旨とする。

【 0 0 2 7 】望ましくは、前記トレリス復号器の振幅制限手段による各領域の I/Q 各軸に相当する範囲を 2^n として振幅制限範囲を I/Q の各軸で 2^n (n は自然数) の倍数とすると良い。

【 0 0 2 8 】本願第 6 の発明は、複数の QAM 復調器を具備するときに、前記請求項 1 又は 2 又は 3 又は 4 又は 5 記載のブランチメトリック演算手段がそれぞれの QAM 復調器に対して共有されることを要旨とする。

【 0 0 2 9 】

【作用】本願第 1 あるいは第 2 の発明によれば、前記振幅制限により、4 つの「ユークリッド距離の 2 乗」を演算するためのテーブルを受信シンボルが属する各領域において共通化せしめ、かつ、前記配置組み合わせデータにより、前記 4 つの「ユークリッド距離の 2 乗」を 4 つのブランチメトリックのそれぞれ ($\lambda_1, \lambda_2, \lambda_3, \lambda_4$) に対応させて出力することができる。このとき、前記 4 つのユークリッド距離の 2 乗の計算には、前記復調データの一部で良いので、計算量を減らすことが可能となる。

【 0 0 3 0 】また、本願第 3 の発明によれば、前記 4 つのブランチメトリックの表現ビット数を減らすことができるので、前記ユークリッド距離の 2 乗を計算する演算手段 (BMU) の回路規模を減らすことが可能である。

【 0 0 3 1 】

【実施例】以下、本発明に係る一実施例を図面を参照して説明する。図 1 は本願第 1 の発明と第 3 の発明に係り、256 QAM 変調方式によるトレリス復号器の第 1 の実施例の構成を示すブロック図である。まず、図 1 を参照して構成を説明する。振幅制限手段 11 は、7 bit (8 bit 精度) の 256 QAM 復調データ I_d, Q_d を入力して所定の振幅制限範囲に制限するものである。この振幅制限手段 11 の出力の上位 5 ビットは非符号化ビット復号部 20 に入力され、下位 3 ビットはビタビ復号部 30 に入力される。また非符号化ビット復号部 20 は領域判定手段 21、遅延手段 23 及び非符号化ビットデコーダ 25 により構成され、ビタビ復号部 30 は BMU 31、ビタビ復号回路 33 及びたたみ込み符号化回路 35 により構成される。

【 0 0 3 2 】以下、このような構成のトレリス復号器の作用について説明する。まず、振幅制限手段 11 に、軟判定復調された受信シンボルの位置に対応した I/Q 軸のそれぞれの成分である復調データ I_d, Q_d がそれぞれ入力され、図 2 に示す振幅制限範囲に制限される。例えば、復調データ I_d, Q_d は、それぞれ 8 ビット精度の 7 ビットで表現され、 $-64 (100000) \sim 63 (011111)$ の値を取り得る (図 2 では点線の範囲

内に復調データは対応する)。

【0033】特開平5-275660号によれば、適当な振幅制限を施しても誤り特性の劣化はほとんどなく、256QAMの場合、I/Q軸のそれぞれで、-60~+60に制限する。すなわち、図2で変調データの振幅制限における下限値 $I_l = Q_l = -60$ 、振幅制限における上限値 $I_h = Q_h = +60$ として、2点鎖線の範囲に復調データは変換されて制限される。これにより任意の受信シンボルに対する、ピタゴラスの定理のためのブランチメトリックは、図3のテーブルを用いて演算することが可能になる。

【0034】図3は○の変調シンボル(送信シンボル)に対するブランチメトリックの演算テーブルであるが、△の変調シンボルに対する演算テーブルは、図3の演算テーブルを反時計回りに90°回転することで得られる。つまり、各変調シンボルに対する演算テーブルは4種類だけ持っておけばよいことになる。

【0035】この演算テーブルの値は0~128の値をとるので8ビットの表現を必要とするが、ある程度までビット打ち切り(正規化)を施しても、特性劣化はほとんど生じないことが知られており、例えば図4のように上位4ビットで表現することが可能である。

【0036】ところで、非符号化ビットの復号は、特開平5-275599号において、受信シンボルの位置を○、□、△、●で囲まれる領域(判定領域)に対応づける領域判定処理により可能であることが示されている。図1の非符号化ビット復号部20はこれに基づいた構成である。

【0037】この領域判定に用いる各領域のサブセットの配置パターンは、図5の場合は図6のように4通りしか存在しない。それぞれ P_1, P_2, P_3, P_4 とすると、図5のようにI軸方向、Q軸方向に P_1 と P_2 あるいは P_3 と P_4 の組み合わせで交互に配置される。

【0038】また、前記特開平5-275599号によれば、上記各判定領域と受信シンボルがどの領域にあるかという領域情報とは1対1に対応していれば、任意であるので、例えば、 $P_1 \sim P_4$ と対応させて領域情報の上位の2ビットを(00)、(01)、(10)、(11)としてもよい。このようにすると、サブセットの配置パターンをこの領域情報の上位2ビットで表現できる。これを配置パターン情報として図1においてBMU31に入力することで、振幅制限手段の出力7bit×2(I_d, Q_d)のうち下位の4bit×2=8bitの入力のみでブランチメトリック $\lambda_1 \sim \lambda_4$ を計算することが可能となる。すなわち、図4のブランチメトリックの演算テーブルは4つ持っておき、それぞれの演算結果を配置パターン情報により、振り分けて $\lambda_1 \sim \lambda_4$ とする。

【0039】このときのBMU31の構成を図7に示す。EDU311は、図4の演算テーブルに対応するユークリッド距離の2乗を計算してa, b, c, dを表現

する出力を得るユークリッド距離演算手段を表す。この場合、復調データ I_d の振幅制限後の復調データを $I'd$ 、復調データ Q_d の振幅制限後の復調データを $Q'd$ とすると、入力 $I'd, Q'd$ の下位4ビットで、それぞれ出力は4ビットであり、 $P_1 \sim P_4$ を表現する配置パターン情報に従って選択出力され、 $\lambda_1 \sim \lambda_4$ に割当てられて出力される。この場合 $\lambda_1 \sim \lambda_4$ のそれぞれは4ビットである。

【0040】このようにすることで、従来 $I'd, Q'd$ の7bit×2=14bitを演算して $\lambda_1 \sim \lambda_4$ の4bit×4=16bitの出力を得ていたものを $I'd, Q'd$ の下位4bit×2=8bitと配置パターン情報2ビットの合計10ビットと演算することで $\lambda_1 \sim \lambda_4$ を得ることができる。この回路規模縮小の効果は、図7のBMU31の構成をROMで構成することを考えると容易に理解できる。つまり、従来の方法によれば、14ビット入力16ビット出力のROMであり、256Kbit(1K=1024bit)のメモリ容量を必要とする。ところが本実施例によると、10ビット入力16ビット出力であり16Kbitのメモリ容量のROMで実現でき、縮小の効果は1/16となる。

【0041】次に第2の実施例について説明する。特開平5-275660号によれば、図8に示すようにEAUの出力に非線形処理を施しても、特性はほとんど劣化されないで、ブランチメトリックの表現ビット数を3ビットとすることが可能となる。この場合もROMに換算することで回路規模の縮小の効果を推定でき、10bit入力3bit×4=12bit出力のROMとなる。すなわち、12Kbitのメモリ容量であるから第2の実施例の縮小の効果は3/64である。

【0042】次に第3の実施例について説明する。図8に示す非線形処理を用いなくても、上記と同様にブランチメトリックの表現ビット数を3ビットとすることができ、しかもBMU31入力のビット数も削減可能である。

【0043】以下、図9を参照して説明する。まず、図5における振幅制限範囲を、 $I_l = Q_l = -60, I_h = Q_h = 59$ とする(このように制限しても特性の劣化はほとんどないのは明らかである)。そして、図9に示すようにI/Q軸のそれぞれに投影した各領域の範囲を、8値毎にとる。つまり、(-7)の領域は-60~-53であり、(-6)の領域は-52~-49とする。このようにすると、I/Q軸のそれぞれに投影した各領域(-7)~(7)は図10及び図11に示すようにそれぞれ8値ずつの値に分けられ、したがって演算テーブルは8×8=64値となつて $I'd, Q'd$ の下位3ビットと直接、対応付けることができる。また、図9に示した表によるとブランチメトリックの値は0~6の範囲に納まっているので、3ビットで表現できる。

【0044】同様に、図7に示したBMU31の構成を

ROMで実現したとすると $3 \text{ bit} \times 2 = 6 \text{ bit}$ 入力 12 bit 出力であるから、3 Kbit のメモリ容量で可能となり、縮小の効果は $3 / 2.56$ となる。

【0045】なお、図10及び図11において、(ー7)～(7)の各領域は上位5ビットで表現できる。したがって、図1において領域判定手段21における領域判定は $I'd$ 、 $Q'd$ それぞれの上位5ビットで実現できる。

【0046】以上、変調方式から256QAMの場合を例に説明してきたが、他のQAM変調でも同様の効果を得る。図5に示す16QAM、32QAM、64QAM、256QAMについて、回路規模縮小の効果をROMに換算して表にしたものを図12に示す(ここで本実施例の欄は第3の実施例に対応する)。各変調方式は、変調シンボルの数が異なるので、復調データ I_d 、 Q_d のビット数が異なる。提案の構成によるBMU31の入出力のビット数は各変調方式共通であるので、変調レベルが高い程回路規模縮小の効果は大である。

【0047】これに、複数の変調方式に対応したトレリス復号器を構成する場合、図5のようにサブセットの配置を、各変調方式で重複する部分を共通とした場合は、(振幅制限範囲は各変調方式に対応して変える必要があるが)BMU31を共通とすることができる。

【0048】また、これまでの例で配置パターン情報を領域情報の上位2ビットとしたが任意の2ビットでもよいし、 $P_0 \sim P_7$ と1対1に対応すればよいので2ビット以上(例えば3ビット)で表現してもよい。

【0049】次に第4の実施例について説明する。前述した各実施例は、領域情報の一部のビットをそのまま配置パターン情報とした。図13に示すように配置パターン検出器41を用いれば、 $P_0 \sim P_7$ と1対1に対応させて領域情報の一部を決める必要はなくなる。

【0050】各判定領域と領域情報とは1対1に対応しているので、領域情報の2ビット以上の一部または全部をデコードすることで、判定領域をグループ分けした部分集合である $P_0 \sim P_7$ と1対1に対応する配置パターン情報が得られるのは明らかである。ただし、本実施例では $P_0 \sim P_7$ は4つなので少なくとも領域情報の2ビットをデコードする必要がある。また、BMU31は第1の実施例乃至第3の実施例と同じものを用いることが可能である。

【0051】次に第5の実施例について説明する。配置パターン情報は、代表シンボルの組データによって一意に決まるので、図14に示すように代表シンボル検出手段27により代表シンボルの組データとデコードすることでも得られる。ただし、この場合はあまり高レベルの変調方式を用いるときには、配置パターン検出手段43の規模が大きくなるので回路規模の縮小上、不利になる。

【0052】図14は変調方式が16QAMの場合(非

符号化ビット数2ビット)で、配置パターン検出手段43はROMに換算して、十分に小さい512ビットのメモリ容量のROMで実現できる。この第5の実施例でもBMU31は第1の実施例乃至第3の実施例と同じものを用いることが可能である。

【0053】次に第6の実施例について説明する。配置パターン情報は受信シンボルの位置により一意に決まるため、 $I'd$ 、 $Q'd$ の上記5ビットからもデコードできる(256QAMの場合)。例えば、図15に示すように、振幅制限手段11とBMU31との間に配置パターン検出手段45を設け、BMU31に配置パターン情報を与えるようにしても良い。この場合、非符号化ビット復号部20は、図14及び図16に示される代表シンボル検出手段27によるものであってもよい。このときの配置パターン検出手段45は図1の領域判定手段21で配置パターン情報のみを出力するのに一致する。この第6の実施例においてもBMU31は第1の実施例乃至第3の実施例と同じものを用いることが可能である。

【0054】なお、上述した全ての実施例において、復調データのビット数及びランチメトリックのビット数はこの限りではない。例えば、256QAMの場合は、復調データ I_d 、 Q_d 、 $I'd$ 、 $Q'd$ のビット数をそれぞれ8ビットとして、BMU31の入力ビット数を $I'd$ 、 $Q'd$ の下位4ビットずつとし(領域判定は I/D 軸16サンプルごととする)、また、ランチメトリックをそれぞれ4ビットで表現するとビタビ復号の誤り率特性はわずかながら向上する。逆に I_d 、 Q_d 、 $I'd$ 、 $Q'd$ のビット数を6ビットとすると誤り特性は悪化するものの回路規模はさらに小さくなる。また、全ての演算は、DSPによるソフトプログラム処理によっても可能であることは明らかである。

【0055】尚、符号化率を $R = m / (m + 1)$ より大とするときの符号化の方法が特願平3-345145号より提案されている。このときも符号化のビット数が2のときは、本発明が適用できるのは明らかである。

【0056】

【発明の効果】以上説明したように本発明は、ランチメトリックの演算に必要な入力のビット数を削減でき簡単化が可能となり、また出力のビット数も減らすことができ回路の簡単化が実現できる。

【図面の簡単な説明】

【図1】本発明に係るトレリス復号器の一実施例の概略の構成を示すブロック図である。

【図2】256QAM-TCMの非符号化ビット(上位6ビット)の信号配置例を示す図である。

【図3】ランチメトリックの一例を示す図である。

【図4】ランチメトリックのビット打ち切りを示す図である。

【図5】QAM-TCMの信号配置とサブセットを説明するための図である。

【図 6】サブセットの代表シンボルの配置の組み合わせ例を示す図である。

【図 7】BMUの概略の構成を示すブロック図である。

【図 8】リミッタ付きEDUの概略の構成を示すブロック図である。

【図 9】本発明に係るトレリス復号器における領域判定とブランチメトリック演算テーブルの一実施例を示す図である。

【図 10】本発明に係るトレリス復号器における振幅制限後の軟判定復調データ例を示す図である。

【図 11】本発明に係るトレリス復号器における振幅制限後の軟判定復調データ例を示す図である。

【図 12】本発明に係るBMUと従来のBMUの、それぞれのROMサイズを比較した図である。

【図 13】本発明に係る第 4 の実施例におけるトレリス復号器の概略の構成を示すブロック図である。

【図 14】本発明に係る第 5 の実施例におけるトレリス復号器の概略の構成を示すブロック図である。

【図 15】本発明に係る第 6 の実施例におけるトレリス復号器の概略の構成を示すブロック図である。

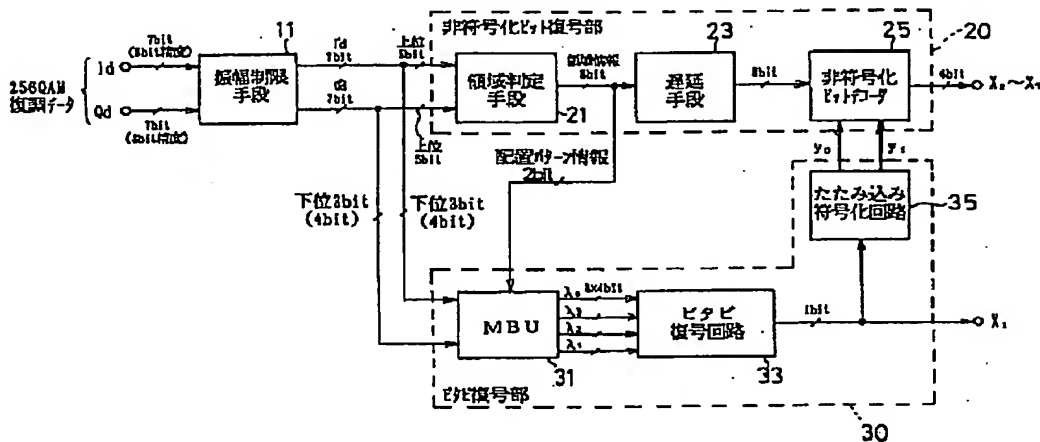
【図 16】従来のトレリス復号器の概略の構成を示すブロック図である。

【図 17】従来のトレリス符号化器の概略の構成を示すブロック図である。

【符号の説明】

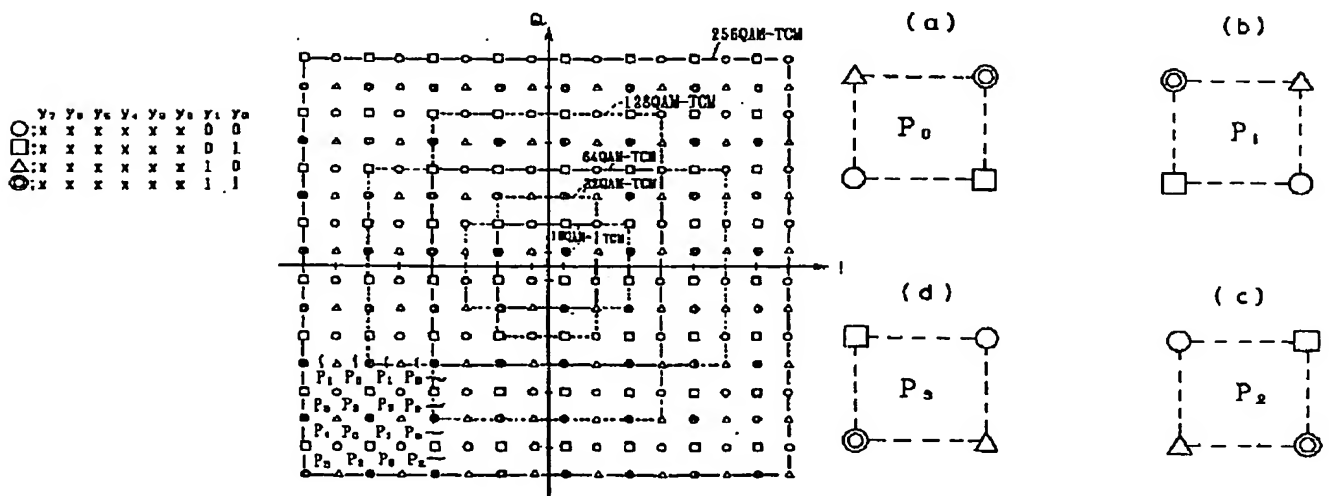
11…振幅制限手段、20…非符号化ビット復号部、21…領域判定手段、23…遅延手段、25…非符号化ビットデコーダ、27…代表シンボル検出手段、29…非符号化ビット選択手段、30…ビタビ復号部、31…BMU、33…ビタビ復号回路、35…たたみ込み符号化回路、41…配置パターン検出手段、43…配置パターン検出手段、45…配置パターン検出手段。

【図 1】

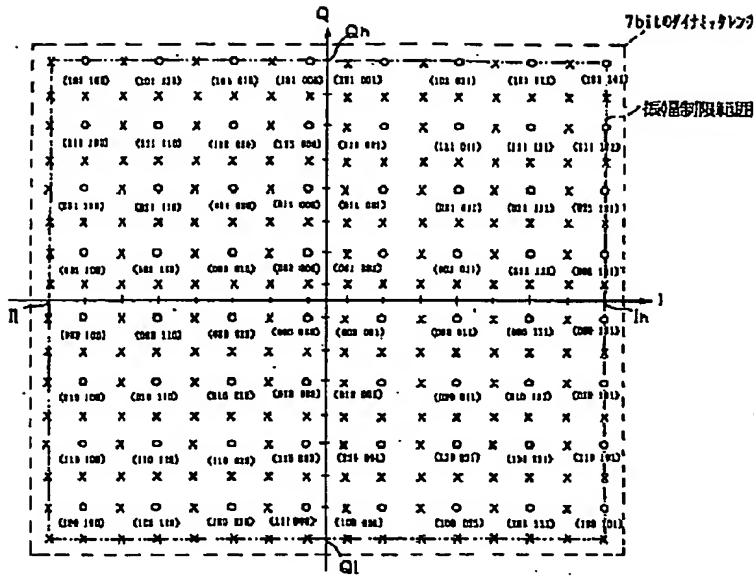


【図 5】

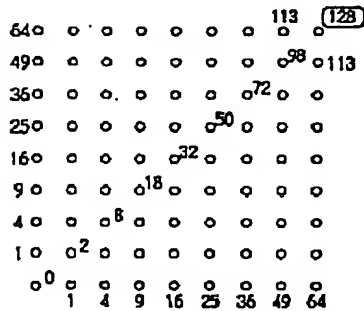
【図 6】



【 図 2 】

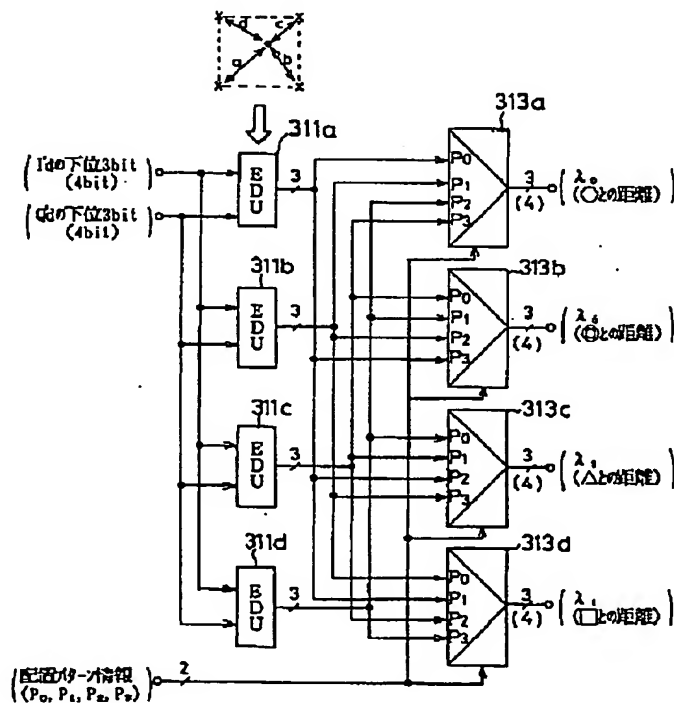


【 図 4 】

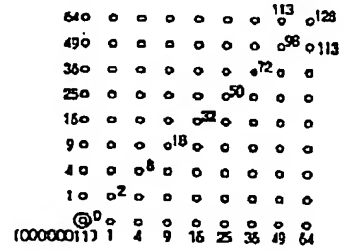
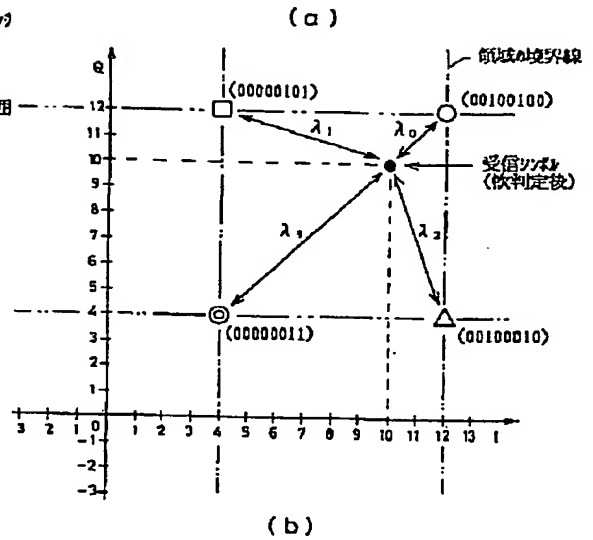


4 4 4 4 5 5 6 7 ⑧
 3 3 3 3 4 4 5 6 7
 2 2 2 2 3 3 4 5 6
 1 1 1 1 2 2 3 4 5
 0 0 1 1 2 2 3 4
 0 0 0 1 1 2 3 4
 0 0 0 0 1 1 2 3 4
 0 0 0 0 1 1 2 3 4

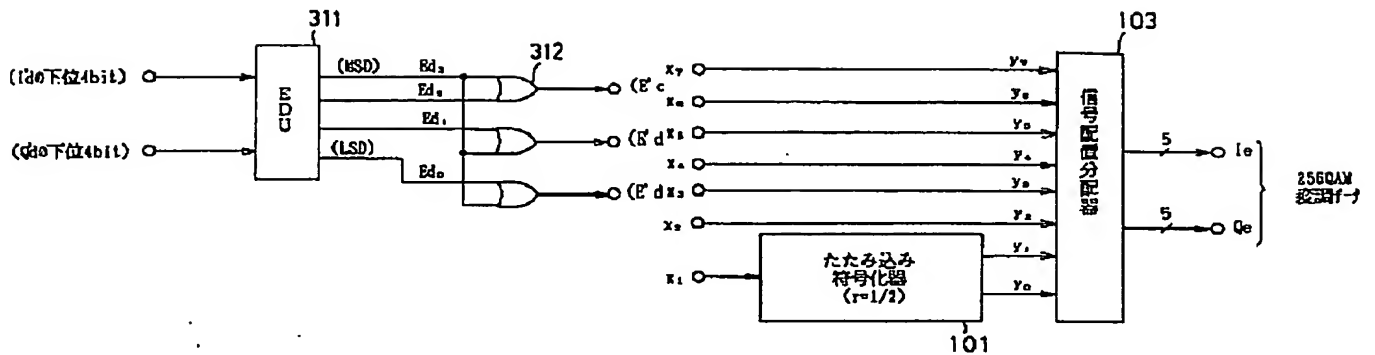
【 図 7 】



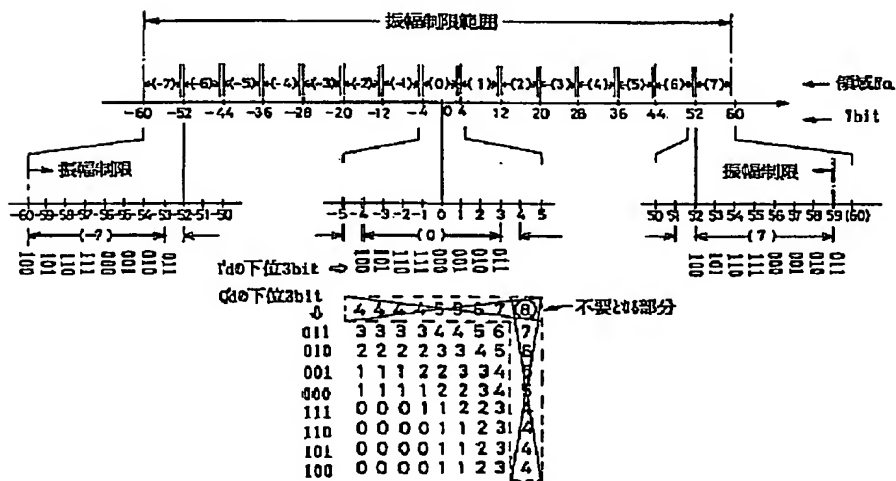
【 図 3 】



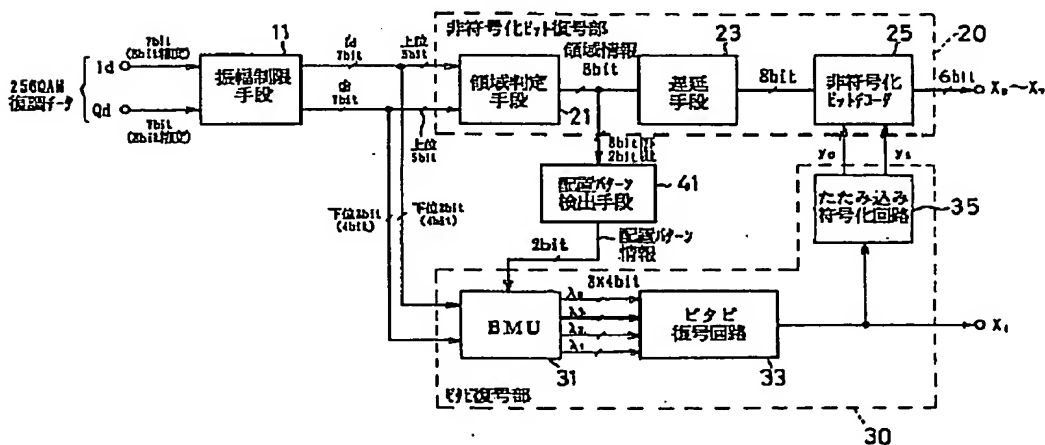
【 17 】



【 図 9 】



【 1 3 】



【 図 1 0 】

	振幅制御後の軟判定復調データ(1ch)(片ch)				BMU 正規化
	10進	2進	上位5bit	下位3bit	
(7)	59	0111011		011	7
	58	0111010	01110	010	6
	57	0111001		001	5
	56	0111000		000	4
	55	0110111		111	3
	54	0110110	01101	110	2
	53	0110101		101	1
	52	0110100		100	0
	51~48	0110011~0110000	01100		
	47~44	0101111~0101100	01011		
(5)	43~40	0101011~0101000	01010		
	39~36	0100111~0100100	01001		
	35~32	0100011~0100000	01000		
	31~28	0011111~0011100	00111		
(3)	27~24	0011011~0011000	00110		
	23~20	0010111~0010100	00101		
	19~16	0010011~0010000	00100		
(2)	15~12	0001111~0001100	00011		
	11	0001011	00010	011	7
	10	0001010		010	6
	9	0001001		001	5
(1)	8	0001000		000	4
	7	0000111		111	3
	6	0000110	00001	110	2
	5	0000101		101	1
	4	0000100		100	0
(0)	3	0000011		011	7
	2	0000010	00000	010	6
	1	0000001		001	5
	0	0000000		000	4
	-1	1111111	11111	111	3
	-2	1111110		110	2
	-3	1111101		101	1
	-4	1111100		100	0
	-5	1111011		011	7
	-6	1111010	11110	010	6
(-1)	-7	1111001		001	5
	-8	1111000		000	4
	-9	1110111	11101	111	3
	-10	1110110		110	2
(-2)	-11	1110101		101	1
	-12	1110100		100	0
	-13~16	1110011~1110000	11100		
(-3)	-17~20	1101111~1101100	11011		
	-21~24	1101011~1101000	11010		
	-25~28	1100111~1100100	11001		
	-29~32	1100011~1100000	11000		
(-4)	-33~36	1011111~1011100	10111		
	-37~40	1011011~1011000	10110		
	-41~44	1010111~1010100	10101		
	-45~48	1010011~1010000	10100		
(-5)	-49~52	1001111~1001100	10011		
	-53	1001011		011	7
	-54	1001010	10010	010	6
	-55	1001001		001	5
	-56	1001000		000	4
	-57	1000111	10001	111	3
	-58	1000110		110	2
	-59	1000101		101	1
	-60	1000100		100	0
	-61~64	1000011~1000000	10000		

【 図 1 1 】

【 図 1 2 】

BMUのROMサイズ比較			
変調方式	復調データビット数	BMUROMサイズ	
		従来	本実施例
18QAM	5x2bit	16Kbit	2Kbit
32QAM	6x2bit	64Kbit	
64QAM	8x2bit	64Kbit	
128QAM	7x2bit	256Kbit	
256QAM	7x2bit	256Kbit	

但し、1Kbit=1024bit

【 図 1 6 】

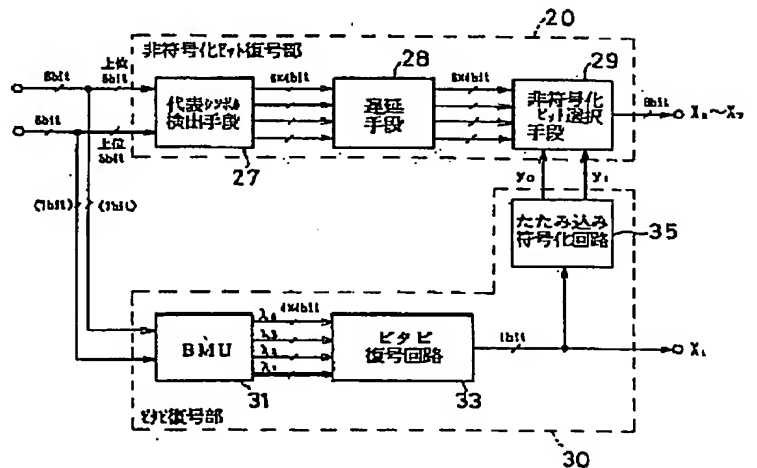


Figure 1 is a block diagram of a digital signal processing system. The system is divided into two main sections: a "非符号化E1H符号部" (Non-symbolic E1H Symbol Section) and a "ビット復号部" (Bit Decoding Section).

The "非符号化E1H符号部" includes:

- 振幅制限手段 (Amplitude Limiting Means) 11:** Receives "256QAM 復調データ" (256QAM Demodulated Data) with I and Q components. It outputs "fsbit" and "dsbit" signals.
- 代表シグナル検出手段 (Representative Signal Detection Means) 27:** Receives "fsbit" and "dsbit" signals. It outputs "txbit" and "rxbit" signals.
- 遅延手段 (Delay Means) 28:** Receives "txbit" and "rxbit" signals. It outputs "txbit" and "rxbit" signals.
- 非符号化E1H選択手段 (Non-symbolic E1H Selection Means) 29:** Receives "txbit" and "rxbit" signals. It outputs "X2, X3" and "X1" signals.

The "ビット復号部" includes:

- 配置パター検出手段 (Configuration Pattern Detection Means) 43:** Receives "txbit" and "rxbit" signals. It outputs "配置パター情報 (Configuration Pattern Information) 44".
- BMU (Bit Mapping Unit) 31:** Receives "配置パター情報 (Configuration Pattern Information) 44" and "fsbit" and "dsbit" signals. It outputs "3 4bit" signals.
- ビット復号回路 (Bit Decoding Circuit) 33:** Receives "3 4bit" signals. It outputs "1bit" signals.
- たたみ込み符号化回路 (Convolutional Coding Circuit) 35:** Receives "1bit" signals. It outputs "X2, X3" and "X1" signals.

The diagram is labeled with various bit rates and signal paths, including "fsbit", "dsbit", "txbit", "rxbit", "3 4bit", and "1bit".

Figure 1 is a block diagram of a 256QAM modulation system. The system takes two 7-bit inputs, I_d (7bit ($I_{d1} \sim I_{d7}$)) and Q_d (7bit ($Q_{d1} \sim Q_{d7}$)), and produces two 8-bit outputs, X_s and X_t . The process involves amplitude limiting (11), domain judgment (21), delay (23), non-symbolization (25), bit-to-bit conversion (33), and bit-to-bit conversion (31).

(51) Int. Cl. ^a

F I

技術表示箇所

E